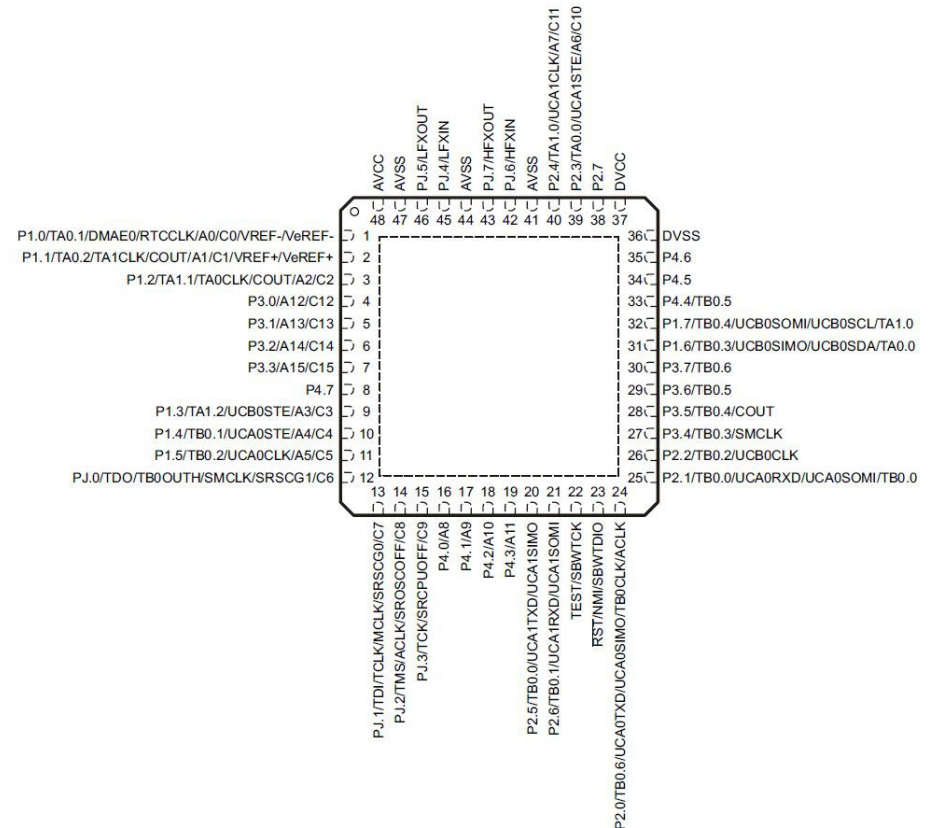


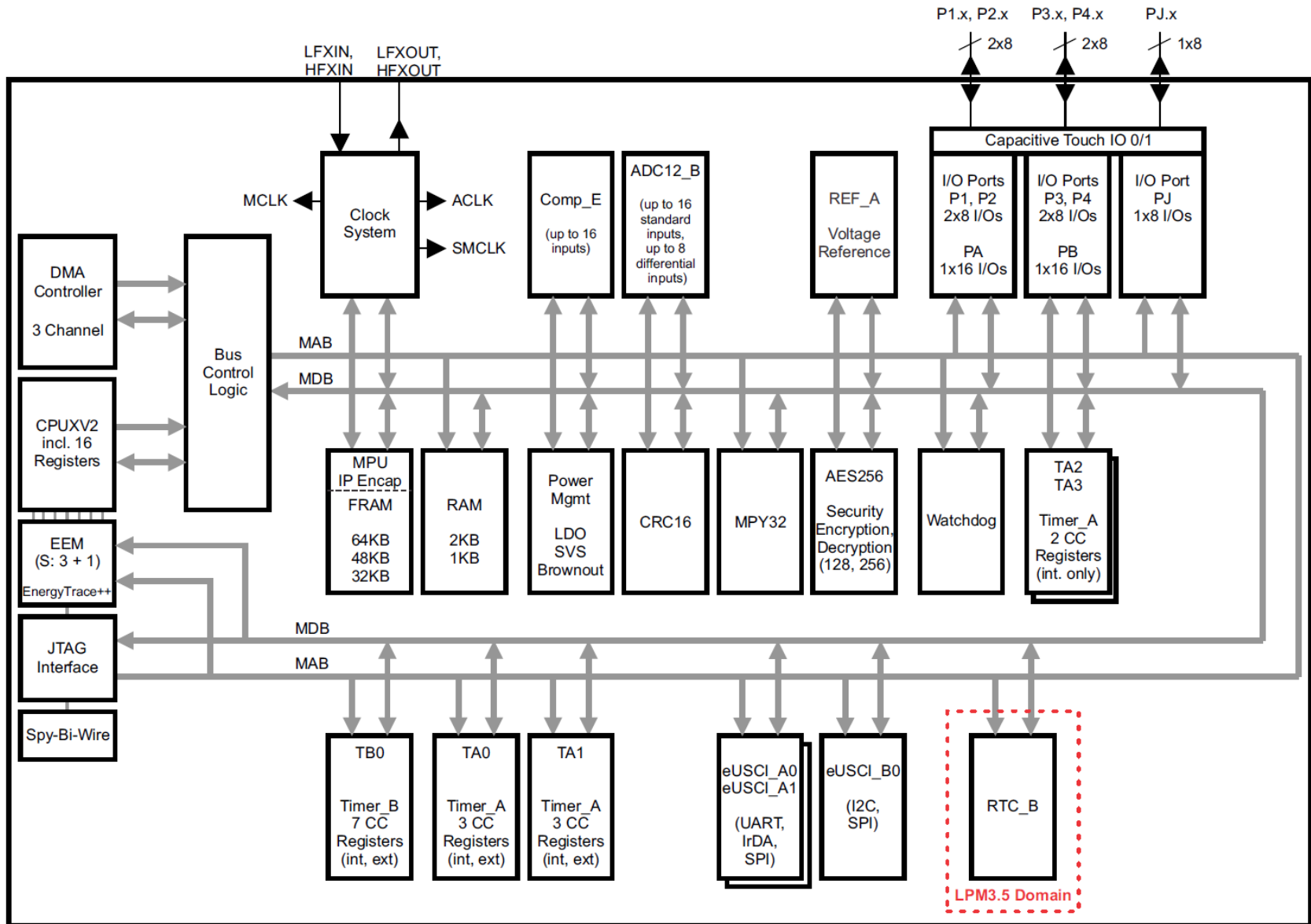
Vortrag zur Seminarphase der PG „Solar Doorplate“

MSP430 – Wichtigste Grundlagen

von David Tondorf

- 16-Bit RISC Architektur bis zu 16 Mhz
- Vcc: 1,8-3,6V
- 64 KB FRAM
- 2 KB SRAM
- 7 Schlafmodi
- 5 16-Bit Timer
- 12-Bit A/D-Wandler
- 32-Bit Hardware Multiplizierer
- JTAG/Spy-Bi-Wire
- ...





- 16-bit RISC Architektur
- 16 Register
 - R0-R3 reserviert für Program Counter, Stack Pointer, Status Register, Constant Generator
 - R4-R15: General Purpose Register
- 51 Instruktionen
 - davon 24 emulierte Instruktionen (Assembler Makros)
 - machen das Lesen/Schreiben von Code leichter
- 7 Addressierungsarten
 - haben Einfluss auf:
 - Instruktionslänge
 - Anzahl der für die Instruktion nötigen Takte



As, Ad	Addressing Mode	Syntax	Description
00, 0	Register	Rn	Register contents are operand.
01, 1	Indexed	X(Rn)	(Rn + X) points to the operand. X is stored in the next word, or stored in combination of the preceding extension word and the next word.
01, 1	Symbolic	ADDR	(PC + X) points to the operand. X is stored in the next word, or stored in combination of the preceding extension word and the next word. Indexed mode X(PC) is used.
01, 1	Absolute	&ADDR	The word following the instruction contains the absolute address. X is stored in the next word, or stored in combination of the preceding extension word and the next word. Indexed mode X(SR) is used.
10, –	Indirect Register	@Rn	Rn is used as a pointer to the operand.
11, –	Indirect Autoincrement	@Rn+	Rn is used as a pointer to the operand. Rn is incremented afterwards by 1 for .B instructions, by 2 for .W instructions, and by 4 for .A instructions.
11, –	Immediate	#N	N is stored in the next word, or stored in combination of the preceding extension word and the next word. Indirect autoincrement mode @PC+ is used.

- 64 KB FRAM
 - Für Code und Daten
- 2 KB SRAM
- Bootstrap loader (BSL)
 - Ermöglicht das programmieren des SRAM/FRAM über UART/I²C
- Peripherie
 - Memory mapped
- Byte- oder Wordweise adressierbar

		MSP430FR59x9
Memory (FRAM) Main: interrupt vectors and signatures Main: code memory	Total Size	63KB 00FFFFh-00FF80h 013FFFh-004400h
RAM		2KB 0023FFh-001C00h
Device Descriptor Info (TLV) (FRAM)		256 B 001AFFh-001A00h
Information memory (FRAM)	Info A	128 B 0019FFh-001980h
	Info B	128 B 00197Fh-001900h
	Info C	128 B 0018FFh-001880h
	Info D	128 B 00187Fh-001800h
Bootstrap loader (BSL) memory (ROM)	BSL 3	512 B 0017FFh-001600h
	BSL 2	512 B 0015FFh-001400h
	BSL 1	512 B 0013FFh-001200h
	BSL 0	512 B 0011FFh-001000h
Peripherals	Size	4KB 000FFFh-0h

(1) All address space not listed is considered vacant memory.

- Ferromagnetic RAM
- Nicht flüchtig, Daten bleiben bei Spannungsverlust erhalten
- (Fast) wie SRAM zu verwenden
- Deutlich schneller und Stromsparender als Flash [6]
 - FRAM max. 120ns pro Byte/Word
 - Flash: ca. 85 μ s pro Byte/Word
- Hohe Lebensdauer
 - 10^{15} Schreibzugriffe (vs. 10^4 - 10^5 bei Flash)
- Aber:
 - Nicht ganz so schnell und stromsparend wie SRAM
 - Max. 8 MHz \rightarrow Wait-States bei höheren CPU Geschwindigkeiten

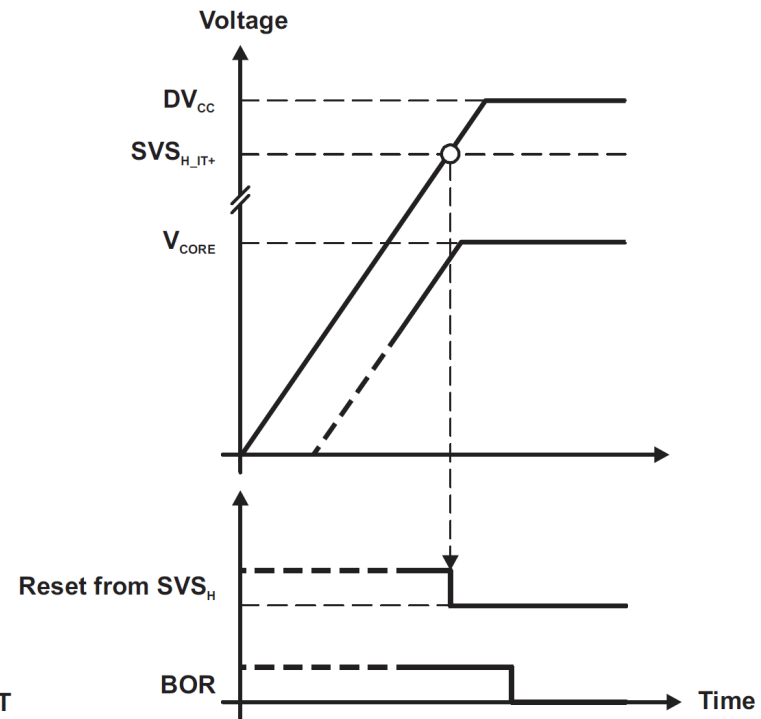
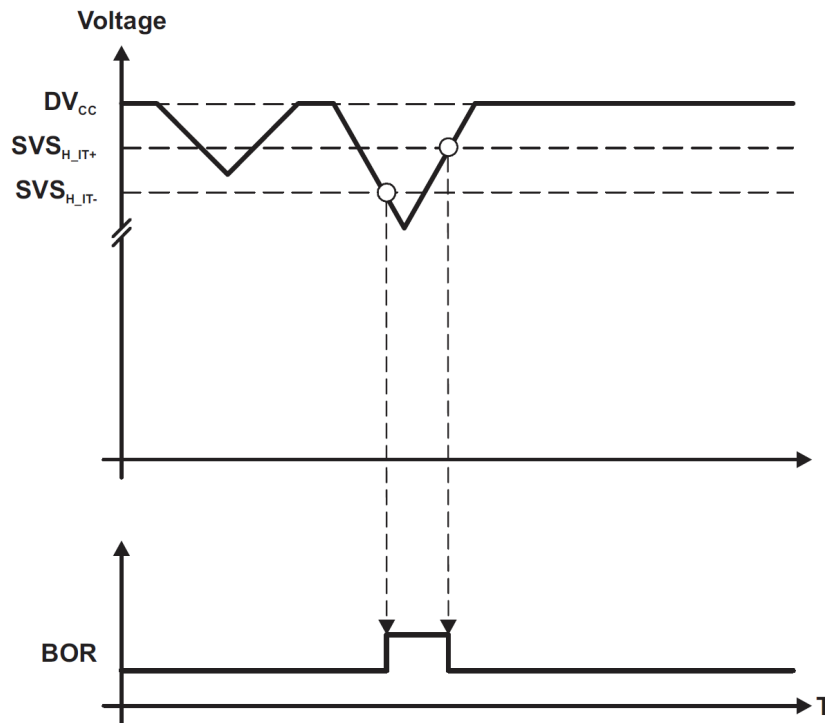


- 3 unterschiedliche Takte
 - MCLK (Master clock)
 - CPU + System
 - ACLK (Auxiliary clock)
 - Peripherie
 - SMCLK (Subsystem Master clock)
 - Peripherie
 - ACLK + SMCLK können per SW der Peripherie zugewiesen werden

- 5 mögliche Taktquellen
 - LFXTCLK (Low Frequency Oszillator)
 - z.B. 32 kHz Uhrenquarz oder externe Taktquellen < 50 kHz
 - VLOCLK
 - Interner 10 kHz Oszillator mit sehr geringem Strombedarf (100 nA)
 - DCOCLK
 - Interner Oszillator mit 1-24 MHz
 - MODCLK
 - Interner 5 Mhz Oszillator (25 µA)
 - HFXTCLK (High Frequency Oszillator)
 - Standardquarze mit 4-24 MHz

- MSP430 kann ohne externe Taktquellen betrieben werden
- Optimierung auf Stromverbrauch/Genauigkeit/Leistung je nach Anwendung

- Leitet die Spannung für die Kernlogik aus der Betriebsspannung ab
- Ermöglicht Betriebsspannungsbereich von 1,8-3V
- Überwacht die Betriebsspannung (SVS)
- Sorgt für geregeltes Booten / Reset bei Spannungsabfall (Brownout)
- Port I/O Control gegen unvorhersehbares Verhalten bei Spannungsabfall



AES256 Accelerator

- 128/192/256-bit AES Ver-/Entschlüsselung in HW
- Verschlüsselung in 168/204/234 Takten (MCLK)
- Zum Vergleich: in SW liegt die Zeit im 2-3 stelligen ms Bereich [5]
- Typ. Stromverbrauch: 21 μ A/MHz

DMA Controller

- Datentransfer ohne Hilfe der CPU
- Nur 2 MCLK Takte pro Transfer
- z.B. A/D Wandler Wert in Ram kopieren

Real Time Clock (RTC)

- Kalender Modus (Tag, Monat, Jahr, Stunde, Minute, Sekunde)
- Programmierbare Alarmer
 - z.B. immer um 15min nach jeder Stunde (0:15, 1:15, ...)
- Kann Interrupts auslösen
- Arbeitet auch in LPM3.5
 - Ermöglicht z.B. regelmäßiges Aufwachen bei sehr geringem Stromverbrauch

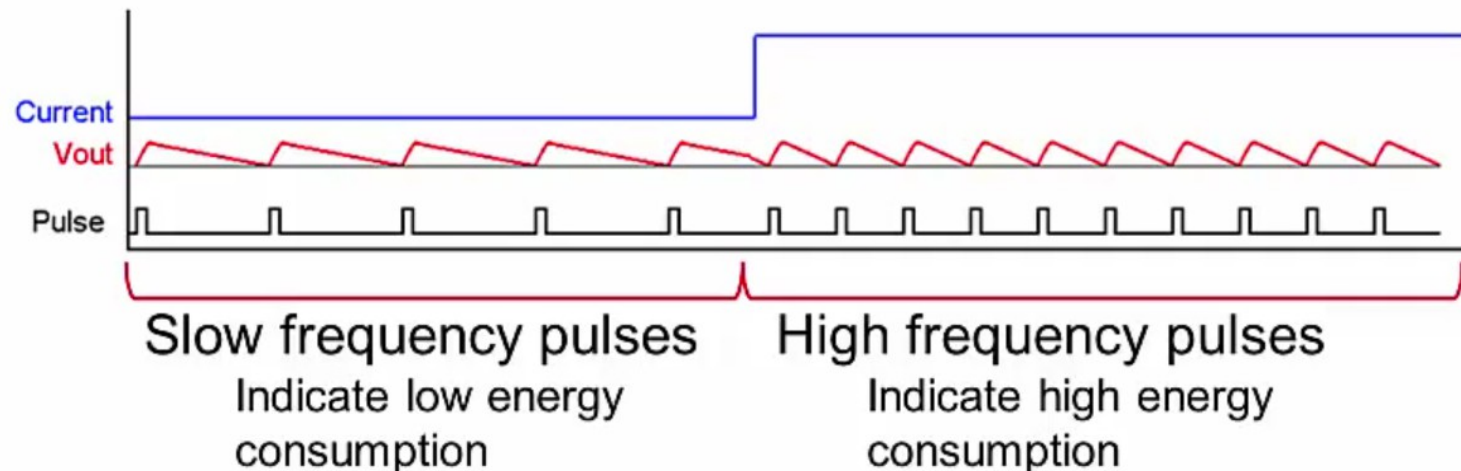
Low Power Modes

Mode	AM		LPM0	LPM1	LPM2	LPM3	LPM4	LPM3.5	LPM4.5	
	Active	Active, FRAM Off ⁽¹⁾	CPU Off ⁽²⁾	CPU Off	Standby	Standby	Off	RTC only	Shutdown with SVS	Shutdown without SVS
Maximum System Clock	16 MHz		16 MHz	16 MHz	50 kHz	50 kHz	0 ⁽³⁾	50 kHz	0 ⁽³⁾	
Typical Current Consumption, T _A = 25°C	103 µA/MHz	65 µA/MHz	70 µA at 1 MHz	35 µA at 1 MHz	0.7 µA	0.4 µA	0.3 µA	0.25 µA	0.2 µA	0.02 µA
Typical Wake-up Time	N/A		instant	6 µs	6 µs	7 µs	7 µs	250 µs	250 µs	1000 µs
Wake-Up Events	N/A		all	all	LF I/O Comp	LF I/O Comp	I/O Comp	RTC I/O	I/O	
CPU	on		off	off	off	off	off	reset	reset	
FRAM	on	off ⁽¹⁾	standby (or off ⁽¹⁾)	off	off	off	off	off	off	
High-Frequency Peripherals	available		available	available	off	off	off	reset	reset	
Low-Frequency Peripherals	available		available	available	available	available ⁽⁴⁾	off	RTC	reset	
Unlocked Peripherals ⁽⁵⁾	available		available	available	available	available ⁽⁴⁾	available ⁽⁴⁾	reset	reset	
MCLK	on		off	off	off	off	off	off	off	
SMCLK	optional ⁽⁶⁾		optional ⁽⁶⁾	optional ⁽⁶⁾	off	off	off	off	off	
ACLK	on		on	on	on	on	off	off	off	
Full Retention	yes		yes	yes	yes	yes	yes	no	no	
SVS	always		always	always	optional ⁽⁷⁾	optional ⁽⁷⁾	optional ⁽⁷⁾	optional ⁽⁷⁾	on ⁽⁸⁾	off ⁽⁹⁾
Brownout	always		always	always	always	always	always	always	always	

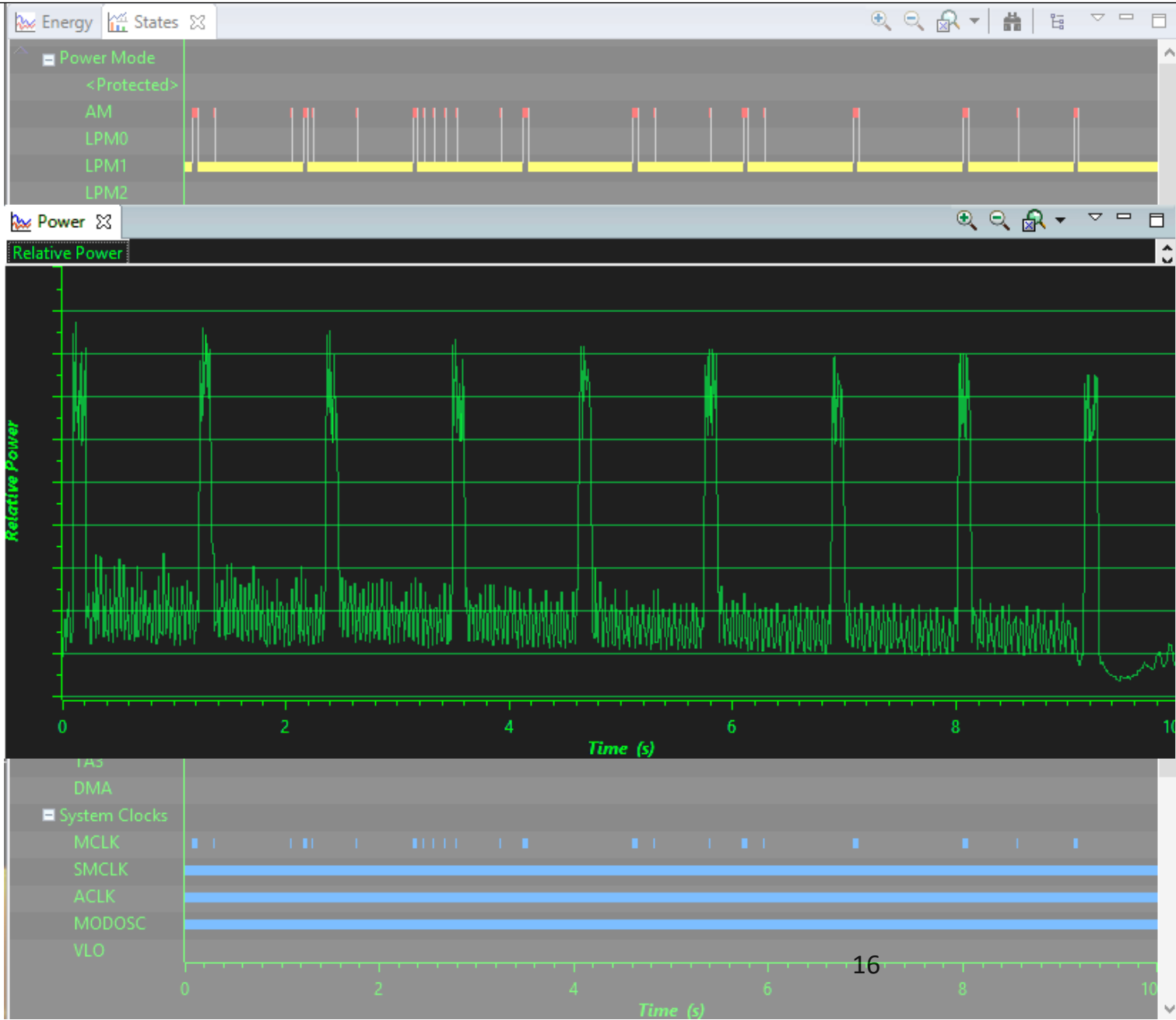
- Unterscheiden sich durch Stromverbrauch, Aufwachzeit und mögliche Wake-Up Events
- Werden durch setzen der entsprechenden Bits im SR aktiviert
 - SR wird beim Betreten einer ISR auf dem Stack gesichert
 - Direktes Zurückkehren in LPM nach der ISR
 - Zurückkehren in anderen Modus möglich (SR Inhalt auf dem Stack verändern)
- Übergang in LPM erfolgt direkt nach setzen der Control Bits
- Ausnahme: Aktive Peripherie benötigt Takt der abgeschaltet würde

- Peripherie nur aktivieren wenn benötigt
- Interrupts verwenden um CPU zu aktivieren
- Wenn möglich HW statt SW verwenden
 - AES, DMA, Timer können PWM Signal erzeugen, ...
- Peripheral Groups in LPM3 und LPM4
- Look-Up Tabellen statt häufiger Berechnungen
- Häufige Funktionsaufrufe vermeiden um Overhead zu minimieren

- Überwachung von Stromverbrauch und CPU-/Peripheriezuständen
- DC-DC Wandler generiert die Betriebsspannung
- Konstante „Ladungspulse“ zum Betrieb des MC
- Anzahl der Ladungspulse je Zeiteinheit entspricht der Energie







- Viele Möglichkeiten Energie zu sparen
- Viele hilfreiche Funktionen schon in HW vorhanden
- Energytrace++ hilfreich zur Optimierung des Energieverbrauchs

Vielen Dank für die Aufmerksamkeit!

- [1] MSP430FR59xx Mixed-Signal Microcontrollers (Rev. E),
<http://www.ti.com/product/MSP430FR5969/technicaldocuments>
- [2] MSP430f9XX user guide,
<http://www.ti.com/product/MSP430FR5969/technicaldocuments>
- [3] Davies, J. H. 2008. MSP430 microcontroller basics. Oxford: Newnes
- [4] MSP430 FRAM Technology – How To and Best Practices,
Texas Instruments, <http://www.ti.com>
- [5] AES Encryption on the MSP430 Launchpads,
<http://merrickm.blogspot.de/2012/11/aes-encryption-on-msp430.html>
- [6] What is FRAM,
Texas Instruments, <http://www.ti.com>
- [7] MSP430™ Advanced Power Optimizations:
ULP Advisor™ Software and EnergyTrace™ Technology,
Texas Instruments